

DIALOG(R)File 352:Derwent WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

003712910

WPI Acc No: 1983-709092/198328

Mfg. semiconductor device with low leakage current level - involves
reducing boundary charge by previously injecting ion into nitride film.

NoAbstract

Patent Assignee: MITSUBISHI ELECTRIC CORP (MITO)

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Week |
|--------------------|------|----------|-------------|------|------|----------|
| JP 58095814 | A | 19830607 | | | | 198328 B |

Priority Applications (No Type Date): JP 81194711 A 19811130

Patent Details:

| Patent No | Kind | Lan Pg | Main IPC | Filing Notes |
|-------------|------|--------|----------|--------------|
| JP 58095814 | A | 8 | | |

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; LOW; LEAK; CURRENT;
LEVEL;

REDUCE; BOUNDARY; CHARGE; INJECTION; ION; NITRIDE; FILM; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/20; H01L-027/12;

H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

01158414 **Image available**

PREPARATION OF SEMICONDUCTOR DEVICE

PUB. NO.: 58-095814 [JP 58095814 A]

PUBLISHED: June 07, 1983 (19830607)

INVENTOR(s): NISHIMURA TADASHI

APPLICANT(s): MITSUBISHI ELECTRIC CORP [000601] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 56-194711 [JP 81194711]

FILED: November 30, 1981 (19811130)

INTL CLASS: [3] H01L-021/20; H01L-021/263; H01L-027/12; H01L-029/78

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 195, Vol. 07, No. 194, Pg. 69, August 24, 1983 (19830824)

ABSTRACT

PURPOSE: To furnish a device of high reliability by implanting ions in a nitride film beforehand to reduce an interface charge generated after polysilicon is formed, and thereby suppressing a leakage current at low level in the OFF state.

CONSTITUTION: Boron ion 31 of 30kev and $5 \times 10^{12}/\text{cm}^2$ are implanted in the surface of a silicon nitride film 2 formed on a silica glass substrate 1 by LPCVD. Thereafter, polysilicon 3 of 5,000 angstroms is formed by LPCVD on the silicon nitride film 2 wherein the boron ions are implanted. Then, the silicon layer 3 is recrystallized by the application of laser beams, an oxide film 7 of about 1,000 angstroms is formed by gate oxidation, a polysilicon gate 6 and an interlayer insulation layer 8 are formed, contact photoengraving is applied, aluminum wiring 9 is provided, and thus an MOS transistor element having no surface protection is formed.

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭58—95814

⑮ Int. Cl.³

H 01 L 21/20

21/263

27/12

29/78

識別記号

庁内整理番号

7739—5F

6851—5F

8122—5F

7377—5F

⑯ 公開 昭和58年(1983)6月7日

発明の数 2

審査請求 未請求

(全 4 頁)

⑰ 半導体装置の製造方法

機株式会社エル・エス・アイ研
究所内

⑱ 特 願 昭56—194711

⑲ 出 願 人 三菱電機株式会社

⑳ 出 願 昭56(1981)11月30日

東京都千代田区丸の内2丁目2
番3号

㉑ 発 明 者 西村正

伊丹市瑞原4丁目1番地三菱電

㉒ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) シリコン基板に形成された絶縁層上又は絶縁物よりなる基板にシリコン窒化膜を形成する工程、上記シリコン窒化膜に不純物をイオン注入する工程、上記不純物の注入されたシリコン窒化膜上にアモルファス又は多結晶シリコン層を形成する工程、レーザー又は電子線等のエネルギー線を照射して前記アモルファス又は、多結晶のシリコン層を熔融せしめ単結晶または大きな粒径をもつたシリコン層に変化させる工程を含む半導体装置の製造方法。

(2) 注入するイオンはボロンとし、注入するエネルギーを5 keV以上50 keV以下とすることを特徴とする上記特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 注入イオンはリンとし、注入するエネルギーを5 keV以上、50 keV以下とすることを特徴とす

る上記特許請求の範囲第1項記載の半導体装置の製造方法。

(4) 注入するイオンは砒素とし注入するエネルギーを5 keV以上100 keV以下とすることを特徴とする上記特許請求の範囲第1項記載の半導体装置の製造方法。

(5) シリコン基板に形成された絶縁層上、又は絶縁物よりなる基板に不純物をイオン注入する工程、上記絶縁層上または絶縁物よりなる基板にアモルファス又は多結晶シリコン層を形成する工程、レーザー又は電子線等のエネルギー線を照射して前記アモルファス又は多結晶のシリコン層を熔融せしめ単結晶または大きな粒径をもつたシリコン層に変化させる工程を含む半導体装置の製造方法。

(6) 注入するイオンはボロンとし、注入するエネルギーを5 keV以上50 keV以下とすることを特徴とする上記特許請求の範囲第5項に記載の半導体装置の製造方法。

(7) 注入するイオンはリンとし、注入するエネルギーを5 keV以上50 keV以下とすることを特徴と

する上記特許請求の範囲第5項に記載の半導体装置の製造方法。

3. 発明の詳細な説明

この発明は絶縁膜上に単結晶又は大きな粒径をもつたシリコン層を形成し、これに半導体装置を形成するにあつての製造方法の改良に関する。

従来この種の製造方法によつて形成された半導体装置としては第1図に示すものがあつた。第1図において(1)は石英ガラス基板、(2)はシリコン窒化膜、(3)はレーザーで再結晶化されたシリコン層、(4)(5)はそれぞれソース・ドレイン領域、(6)はゲートのポリシリコン、(7)はゲート酸化膜、(8)は層間絶縁膜、(9)はアルミ配線、(10)は横方向の分離を行う厚い酸化膜である。表面保護膜は省略した。基板が石英ガラスである他は通常のM型のMOSトランジスタである。

次に製造方法について説明する。第2図はこの種従来装置を製造する工程を示す断面図である。第2図(a)において出発材料としてクエーハ形状の石英ガラスにLPCVD(減圧CVD)で1000Å程

特開昭58-95814(2)

度のシリコン窒化膜(2)が形成され、第2図(b)のごとくなる。この窒化膜(2)はレーザー照射によつてポリシリコンを溶融させる際のレーザーパワーに対するマージンを増加させる。次にLPCVDで5000Åのポリシリコン(3)が形成される。その後このポリシリコン層(3)の表面に950℃酸化ふんい気で500Åの酸化膜(21)を形成しその上部にLPCVDで1000Åのシリコン窒化膜(22)を形成する。これにレジスト(23)を塗布し、写真製版とそれに従くエッチングで(d)図のごとくフィールドとなる部分の酸化膜(21)が露出させられる。パターン化されたシリコン窒化膜(22)をマスクとして950℃酸化ふんい気で9ないし10時間酸化することにより、(e)図のように厚い酸化膜(10)が形成されてポリシリコンが島状に孤立した状態が形成される。第2図(f)ではこれに連続発振のレーザー光(24)が照射され、ポリシリコンは溶融して再結晶化する。この時レーザーの条件によつて単結晶化あるいは大きな粒径をもつ多結晶層となるかが決定される。これに以下、通常のMOSトランジスタの形成方

法をとり、第2図(h)に示すようなポリシリコンゲート(6)を有するMOSトランジスタが形成される。

従来の装置は以上のように構成されているのでトランジスタを動作させるにあたり、ゲートにトランジスタのチャネルを導通させる適性の電圧をかけた場合はシリコン基板に形成されたトランジスタと特性は変わらないが、チャネルが導通しない程度の電圧をゲートにかけ、トランジスタをOFF状態に置きたい場合、窒化膜(2)とシリコン層(3)の界面に界面電荷が多量発生し、このため、この界面のシリコン層側に若干電流を流すチャネルが形成されることがあり、OFF状態のもれ電流のレベルは比較的高いものであつた。従つてOFF抵抗が上がらず、装置の信頼性に著しい影響を与えることが多かつた。

この発明は上記のような従来のものの欠点を除去するためになされたもので窒化膜(2)にあらかじめイオン注入を行いポリシリコンが形成された後に発生する界面電荷を減少させOFF状態でもれ電流のレベルを低く押えることにより高い信頼性

をもつた装置を提供することを目的としている。

以下、この発明方法の一実施例を第3図について説明する。第3図(a)、(b)では従来と同じく石英ガラス基板(1)にLPCVDでシリコン窒化膜(2)が形成されている。次に第3図(c)に示すようにシリコン窒化膜(2)の表面にボロン(31)を 30keV 、 $5 \times 10^{12}/\text{cm}^2$ 注入する。この後は従来方法と製作方法は同じである。すなわち第3図(d)ではLPCVDによるポリシリコン(3)5000Åがボロニイオンの注入されたシリコン窒化膜(2)上に形成されたことを示す。下置酸化(950℃酸化ふんい気で500Å)、LPCVDによる窒化膜形成(1000Å)写真製版によるパターンニング、エッチングを経て、(e)図の形状となる。ここで(21)は下置酸化膜(22)は窒化膜(23)はレジストを示す。窒化膜(22)をマスクにしてフィールド酸化を行えば第3図(f)の形状に示すように厚い酸化膜(10)が形成される。これに従来と同じくレーザー照射(24)を行つてシリコン層(3)を再結晶化する。この後はゲート酸化(950℃酸化ふんい気20分)で、1000Å程度の酸化膜(7)

を形成しポリシリコンゲート(6)層間絶縁層(8)、コンタクト形成膜を被てアルミ配線(9)を行うと第3図(内)に示す表面保護をしないMOSトランジスタの基本的な断面をもつた素子が形成される。この製造プロセス中の熱処理で酸化膜(2)に圧入されたボロンの一部分はシリコン層(3)へ拡散し、シリコン層(3)の酸化膜(2)との界面近くを比較的強くP型にドーピングする、このためこの領域は反転してくくなる。また圧入したボロンそのものが酸化膜(2)とシリコン層(3)の界面の電荷となるべき準位を有するため、シリコン層(3)の酸化膜(2)との界面側ではほとんど電流が流れない。従つてシリコン層(3)の表面側、すなわちゲート直下のチャネル領域がゲート電圧を低くしてOFF状態とした時電流を非常に流しにくければOFF時の抵抗は非常に高くすることができる。これは製造方法のところでは述べなかつたが、現在公知ともいふべきチャネルドーピングイオン圧入を用いれば比較的簡単に実現できる。

なお上記実施例ではボロンを圧入し、Nチャネ

ル型MOSとして説明したがリン、砒素を圧入すれば、Pチャネル型、または両者の混在するCMOSでも、使用が可能であることはいうまでもない。

またシリコン酸化膜へのイオン圧入を説明したが、原理的にはシリコン酸化膜、石英基板へ直接イオン圧入しても同じである。

以上のようにこの発明によれば、絶縁基板上に形成したシリコン層におけるMOSトランジスタのいわゆるバンクチャネルを消却することができ装置の信頼性が増し高精度のものが得られる効果がある。

4. 図面の簡単な説明

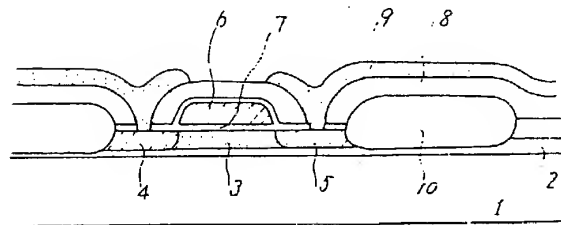
第1図は従来方法によつて形成された絶縁基板上のMOSトランジスタの断面図、第2図(a)~(n)は従来の絶縁基板上的MOSトランジスタの製造工程を説明するための断面図、第3図(a)~(h)はこの発明方法における絶縁基板上のMOSトランジスタの製造工程を示す断面図である。

図中(1)石英基板、(2)シリコン酸化膜、(3)多結晶

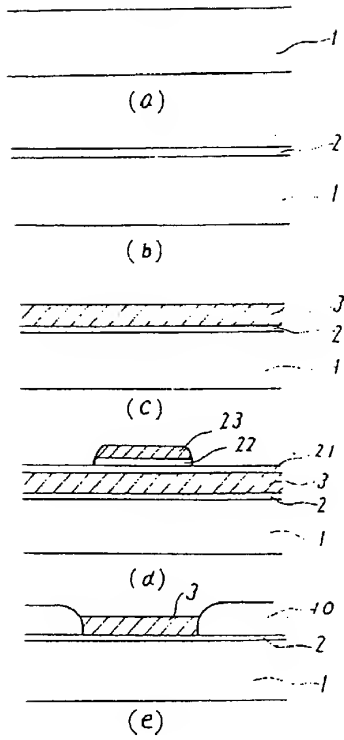
シリコン層、(4)MOSトランジスタにおけるソース領域、(5)ドレイン領域、(6)ゲートの多結晶シリコン、(7)ゲート酸化膜、(8)層間絶縁膜、(9)アルミ配線、(10)フィールド酸化膜、(21)下敷酸化膜、(22)酸化膜、(23)レジスト、(24)レーザー光照射(連続発振のArレーザー光を走査しながら照射する。)

代理人 葛野 信 一

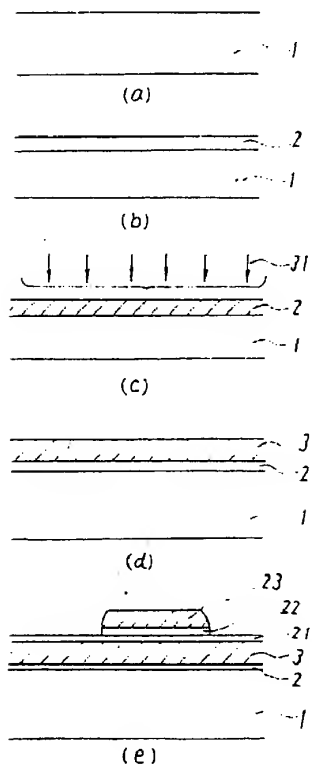
第1図



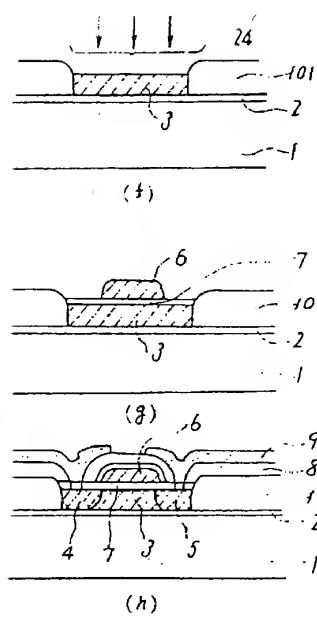
第2図



第3図



第2図



第3図

